



COPY OF PAPERS
ORIGINALLY FILED

2811
15.49/6067

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of)
Yoshikazu KASUYA) Group Art Unit: 2811
Serial No.: 09/963,924)
Filing Date: Sept. 26, 2001) Examiner: unknown
For: METHODS FOR MANUFACTURING)
SEMICONDUCTOR DEVICES AND)
SEMICONDUCTOR DEVICES)

RECEIVED
AUG - 6 2002
TECHNOLOGY CENTER 2800

TRANSMITTAL OF CERTIFIED COPY

Assistant Commissioner for Patents
Washington, DC 20231

Dear Sir:

Enclosed is a certified copy of the priority document for U.S. Application Serial No. 09/963,168. This document is Japanese patent application no. 2000-292143, filed September 26, 2000. It is believed that no fees are due relating to this submission, however, if fees are due relating to this submission, please charge them to deposit account no. 50-0585.

Respectfully submitted,

Alan S. Raynes
Reg. No. 39,809
KONRAD RAYNES VICTOR & MANN, LLP
315 South Beverly Drive, Suite 210
Beverly Hills, CA 90212
Customer No. 24033
tele general: (310) 556-7983
tele direct: (310) 871-8448
facsimile: (310) 556-7984

Dated: July 22, 2002

Certificate of Mailing

I hereby certify that this correspondence is being deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to: Assistant Commissioner for Patents, Washington, D.C. 20231 on July 22, 2002.

Alan S. Raynes
July 22, 2002
(Date)



日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2000年 9月26日

出 願 番 号

Application Number:

特願2000-292143

出 願 人

Applicant(s):

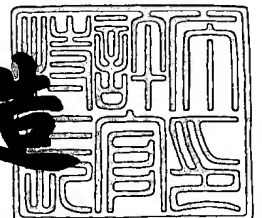
セイコーエプソン株式会社

RECEIVED
JUG-6 2002
TECHNOLOGY CENTER 2800

2001年 6月12日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3054788

【書類名】 特許願

【整理番号】 EP-0267801

【提出日】 平成12年 9月26日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/336

【発明者】

【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

【氏名】 糟谷 良和

【特許出願人】

【識別番号】 000002369

【氏名又は名称】 セイコーエプソン株式会社

【代理人】

【識別番号】 100090479

【弁理士】

【氏名又は名称】 井上 一

【電話番号】 03-5397-0891

【選任した代理人】

【識別番号】 100090387

【弁理士】

【氏名又は名称】 布施 行夫

【電話番号】 03-5397-0891

【選任した代理人】

【識別番号】 100090398

【弁理士】

【氏名又は名称】 大淵 美千栄

【電話番号】 03-5397-0891

【手数料の表示】

【予納台帳番号】 039491

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9402500

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置の製造方法および半導体装置

【特許請求の範囲】

【請求項 1】 以下の工程 (a) ~ (j) を含む、半導体装置の製造方法。

(a) ゲート絶縁層を形成する工程、

(b) 前記ゲート絶縁層の上に、第 1 の導電層を形成する工程、

(c) 前記第 1 の導電層の上に、該第 1 の導電層と異なる材質からなる第 1 の上部層を形成する工程、

(d) 前記第 1 の上部層の上に、該第 1 の上部層と異なる材質からなる第 2 の上部層を形成する工程、

(e) 前記第 1 の導電層と前記第 1 の上部層と前記第 2 の上部層との側壁に、サイドウォールスペーサを形成する工程、

(f) 前記第 2 の上部層および前記サイドウォールスペーサを覆う絶縁層を形成する工程、

(g) 前記第 2 の上部層の上面が露出するまで、前記絶縁層を平坦化する工程、

(h) 前記第 2 の上部層を除去する工程、

(i) 前記第 1 の上部層を除去して、該第 1 の上部層の上方に、凹部を形成する工程、および

(j) 前記凹部に第 2 の導電層を充填することにより、少なくとも前記第 1 の導電層と該第 2 の導電層とを含む、ゲート電極を形成する工程。

【請求項 2】 請求項 1 において、

前記工程 (h) は、エッチング法により行われ、

前記工程 (h) において、前記第 1 の上部層のエッチングレートに対する前記第 2 の上部層のエッチングレートの比は、2 以上である、半導体装置の製造方法。

【請求項 3】 請求項 1 または 2 において、

前記工程 (i) は、エッチング法により行われ、

前記工程 (i) において、前記第 1 の導電層のエッチングレートに対する前記

第 1 の上部層のエッチングレートに比は、2 以上である、半導体装置の製造方法

【請求項 4】 請求項 1 ～ 3 のいずれかにおいて、

前記第 1 の上部層は、窒化シリコン層からなり、

前記第 2 の上部層は、ポリシリコン層からなる、半導体装置の製造方法。

【請求項 5】 以下の工程 (m) ～ (t) を含む、半導体装置の製造方法。

(m) ゲート絶縁層を形成する工程、

(n) 前記ゲート絶縁層の上に、第 1 の導電層を形成する工程、

(o) 前記第 1 の導電層の上に、上部層を形成する工程であって、

前記上部層の少なくとも下部は、前記第 1 の導電層の少なくとも上部と異なる材質からなり、

(p) 前記第 1 の導電層および前記上部層の側壁に、サイドウォールスペーサを形成する工程、

(q) 前記上部層および前記サイドウォールスペーサを覆う絶縁層を形成する工程、

(r) 前記上部層の上面が露出するまで、前記絶縁層を平坦化する工程、

(s) 前記上部層を除去して、前記第 1 の導電層の上方に凹部を形成する工程、および

(t) 前記凹部に第 2 の導電層を充填することにより、少なくとも前記第 1 の導電層と該第 2 の導電層とを含むゲート電極を形成する工程。

【請求項 6】 請求項 5 において、

前記工程 (s) は、エッチング法により行われ、

前記工程 (s) において、前記第 1 の導電層の少なくとも上部のエッチングレートに対する、前記上部層の少なくとも下部のエッチングレートの比は、2 以上である、半導体装置の製造方法。

【請求項 7】 請求項 1 ～ 6 のいずれかにおいて、

前記第 1 の導電層は、ポリシリコン層からなる、半導体装置の製造方法。

【請求項 8】 請求項 1 ～ 7 のいずれかにおいて、

前記第 2 の導電層は、金属、金属合金および金属化合物のいずれか一つからな

る、半導体装置の製造方法。

【請求項 9】 電界効果型トランジスタを含む、半導体装置であって、
前記電界効果型トランジスタは、ゲート絶縁層と、ゲート電極と、サイドウォールスペースと、ソース領域と、ドレイン領域とを有し、
前記ゲート電極は、第 1 の導電層と、第 2 の導電層とを含み、
前記第 1 の導電層は、前記ゲート絶縁層の上に設けられ、
前記第 2 の導電層は、前記第 1 の導電層の上方に設けられ、
前記サイドウォールスペースは、前記ゲート電極の側壁に形成され、
前記サイドウォールスペースの側方において、絶縁層が設けられ、
前記第 1 の導電層と前記第 2 の導電層との間、および前記第 2 の導電層と前記サイドウォールスペースとの間において、バリヤ層が設けられている、半導体装置。

【請求項 10】 電界効果型トランジスタを含む、半導体装置であって、
前記電界効果型トランジスタは、ゲート絶縁層と、ゲート電極と、サイドウォールスペースと、ソース領域と、ドレイン領域とを有し、
前記ゲート電極は、第 1 の導電層と、第 2 の導電層とを含み、
前記第 1 の導電層は、前記ゲート絶縁層の上に設けられ、
前記第 2 の導電層は、前記第 1 の導電層の上方に設けられ、
前記サイドウォールスペースは、前記ゲート電極の側壁に形成され、
前記サイドウォールスペースの側方において、絶縁層が設けられ、
前記絶縁層の上面と前記第 2 の導電層の上面とは、実質的にほぼ同一のレベルにある、半導体装置。

【請求項 11】 請求項 9 または 10 において、
前記第 1 の導電層は、ポリシリコン層からなる、半導体装置。

【請求項 12】 請求項 9 ～ 11 のいずれかにおいて、
前記第 2 の導電層は、金属、金属合金および金属化合物のいずれか一つからなる、半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、電界効果型トランジスタを有する半導体装置およびその製造方法に関し、特にゲート電極が２つ以上の層から構成される半導体装置およびその製造方法に関する。

【0002】

【背景技術】

現在、図１１（ｂ）に示すようなＭＯＳトランジスタ３００のゲート電極２３０を、いわゆるダマシン法により形成する技術がある。以下、ゲート電極２３０をダマシン法により形成する技術を適用した、ＭＯＳトランジスタ３００の製造方法の一例を説明する。

【0003】

図１０（ａ）に示すように、シリコン基板２１０の上に、ゲート絶縁層２２０およびダミー電極２３２を形成する。次に、ダミー電極２３２をパターニングする。次に、ダミー電極２３２のサイドにおけるシリコン基板２１０において、低濃度不純物拡散層２４２を形成する。次に、全面に絶縁層（図示せず）を形成し、その絶縁層およびゲート絶縁層２２０をＲＩＥエッチングして、ダミー電極２３２の側壁に、サイドウォールスペーサ２５０を形成する。次に、サイドウォールスペーサ２５０のサイドのシリコン基板２１０において、高濃度不純物拡散層２４４を形成する。

【0004】

次に、図１０（ｂ）に示すように、シリコン基板２１０の上に、絶縁層２６０を形成し、その絶縁層２６０を平坦化してダミー電極２３２を露出させる。

【0005】

次に、図１１（ａ）に示すように、ダミー電極２３２の全部を除去して、貫通孔２７０を形成する。

【0006】

次に、図１１（ｂ）に示すように、貫通孔２７０を充填するように金属層を形成し、金属層をエッチバックして、ゲート電極２３０を形成する。

【0007】

ゲート電極をダマシン法により形成する技術が開示された文献として、米国特許第 5, 9 6 0, 2 7 0 号, 米国特許第 5, 3 9 1, 5 1 0 号, 米国特許第 5, 4 3 4, 0 9 3 号が挙げられる。

【 0 0 0 8 】

【発明が解決しようとする課題】

本発明の目的は、電気的特性の劣化が抑えられた、半導体装置およびその製造方法を提供することにある。

【 0 0 0 9 】

【課題を解決するための手段】

(半導体装置の製造方法)

(A) 本発明の第 1 の半導体装置の製造方法は、以下の工程 (a) ~ (j) を含む。

- (a) ゲート絶縁層を形成する工程、
- (b) 前記ゲート絶縁層の上に、第 1 の導電層を形成する工程、
- (c) 前記第 1 の導電層の上に、該第 1 の導電層と異なる材質からなる第 1 の上部層を形成する工程、
- (d) 前記第 1 の上部層の上に、該第 1 の上部層と異なる材質からなる第 2 の上部層を形成する工程、
- (e) 前記第 1 の導電層と前記第 1 の上部層と前記第 2 の上部層との側壁に、サイドウォール Spacer を形成する工程、
- (f) 前記第 2 の上部層および前記サイドウォール Spacer を覆う絶縁層を形成する工程、
- (g) 前記第 2 の上部層の上面が露出するまで、前記絶縁層を平坦化する工程、
- (h) 前記第 2 の上部層を除去する工程、
- (i) 前記第 1 の上部層を除去して、該第 1 の上部層の上方に、凹部を形成する工程、および
- (j) 前記凹部に第 2 の導電層を充填することにより、少なくとも前記第 1 の導電層と該第 2 の導電層とを含む、ゲート電極を形成する工程。

【 0 0 1 0 】

本発明は、たとえば、次の作用効果を奏することができる。

【0011】

(1) 本発明においては、工程(h)および工程(i)において、第2の上部層および第1の上部層を除去して、凹部を形成している。第2の上部層は、第1の上部層と異なる材質からなる。このため、第2の上部層を第1の上部層に対して選択的に除去することができる。すなわち、第2の上部層の除去において、第1の上部層をストッパとして機能させることができる。また、第1の上部層は、第1の導電層と異なる材質からなる。このため、第1の上部層を第1の導電層に対して選択的に除去することができる。その結果、第1の上部層の除去において、第1の導電層が除去されるのを抑えることができる。第1の導電層の除去が抑えられた分だけ、第1の導電層の厚さのばらつきを抑えることができる。また、第1の導電層のばらつきを抑えられた分、凹部の深さのばらつきを抑えることができる。凹部の深さのばらつきを抑えることができた分、第2の導電層の厚さのばらつきを抑えることができる。その結果、本発明によれば、第1の導電層および第2の導電層を、厚さに関して精度良く形成することができる。

【0012】

(2) 本発明においては、工程(j)で、第1の導電層の上に第2の導電層が形成されることとなる。また、ソース/ドレイン領域は、工程(f)の前において形成することができる。このため、第2の導電層の形成は、ソース/ドレイン領域の後において行うことができる。その結果、ソース/ドレイン領域を形成するために設けられたレジスト層を除去する際に生じる悪影響が、第2の導電層に及ぶことを防ぐことができる。したがって、第2の導電層の特性劣化を抑えることができる。また、本発明によれば、第2の導電層と相性が悪い薬剤であっても、レジスト層を確実に除去することができる薬剤を選択することができる。以上のことから、本発明によれば、電気的特性の劣化が抑えられた半導体装置を形成することができる。

【0013】

(3) また、本発明においては、凹部を形成する際、第1の導電層は除去されない。このため、この除去工程において、ゲート絶縁層が露出することがない。

その結果、ゲート絶縁層の劣化を抑えることができる。

【 0 0 1 4 】

本発明においては、前記工程 (h) は、エッチング法により行われ、
前記工程 (h) において、前記第 1 の上部層のエッチングレートに対する前記第 2 の上部層のエッチングレートの比 (第 2 の上部層のエッチングレート / 第 1 の上部層のエッチングレート) は、2 以上であることが好ましい。

【 0 0 1 5 】

本発明においては、前記工程 (i) は、エッチング法により行われ、
前記工程 (i) において、前記第 1 の導電層のエッチングレートに対する前記第 1 の上部層のエッチングレートに比 (第 1 の導電層のエッチングレート / 第 1 の導電層のエッチングレート) は、2 以上であることが好ましい。

【 0 0 1 6 】

また、本発明は、前記第 1 の上部層は、窒化シリコン層からなり、
前記第 2 の上部層は、ポリシリコン層からなることができる。

【 0 0 1 7 】

(B) 本発明の第 2 の半導体装置の製造方法は、以下の工程 (m) ~ (t) を含む。

(m) ゲート絶縁層を形成する工程、

(n) 前記ゲート絶縁層の上に、第 1 の導電層を形成する工程、

(o) 前記第 1 の導電層の上に、上部層を形成する工程であって、

前記上部層の少なくとも下部は、前記第 1 の導電層の少なくとも上部と異なる材質からなり、

(p) 前記第 1 の導電層および前記上部層の側壁に、サイドウォールスペーサを形成する工程、

(q) 前記上部層および前記サイドウォールスペーサを覆う絶縁層を形成する工程、

(r) 前記上部層の上面が露出するまで、前記絶縁層を平坦化する工程、

(s) 前記上部層を除去して、前記第 1 の導電層の上方に凹部を形成する工程、
および

(t) 前記凹部に第2の導電層を充填することにより、少なくとも前記第1の導電層と該第2の導電層とを含むゲート電極を形成する工程。

【0018】

本発明においては、工程(s)において、上部層を除去することにより、凹部を形成している。上部層の少なくとも下部は、第1の導電層の少なくとも上部と異なる材質からなる。このため、上部層を第1の導電層に対して選択的に除去することができる。その結果、上部層の除去において、第1の導電層が除去されるのを抑えることができる。したがって、本発明の第1の半導体装置の製造方法における作用効果(1)を奏することができる。

【0019】

また、本発明の第2の半導体装置の製造方法によれば、本発明の第1の半導体装置の製造方法における作用効果(2)および(3)を奏することができる。

【0020】

本発明においては、第1の導電層は、単層または複数の層からなることができる。また、上部層は、単層または複数の層からなることができる。

【0021】

また、本発明においては、前記工程(s)は、エッチング法により行われ、前記工程(s)において、前記第1の導電層の少なくとも上部のエッチングレートに対する、前記上部層の少なくとも下部のエッチングレートの比は、2以上であることが好ましい。

【0022】

本発明の第1および第2の半導体装置の製造方法は、前記第1の導電層は、ポリシリコン層からなることができる。これにより、ゲート電極がポリシリコン層からなる場合の種々のプロセス技術を適用することができる。

【0023】

本発明の第1および第2の半導体装置の製造方法は、前記第2の導電層は、金属、金属合金および金属化合物のいずれか一つからなることができる。

【0024】

(半導体装置)

(A) 本発明の第 1 の半導体装置は、電界効果型トランジスタを含み、
 前記電界効果型トランジスタは、ゲート絶縁層と、ゲート電極と、サイドウォールスペースと、ソース領域と、ドレイン領域とを有し、
 前記ゲート電極は、第 1 の導電層と、第 2 の導電層とを含み、
 前記第 1 の導電層は、前記ゲート絶縁層の上に設けられ、
 前記第 2 の導電層は、前記第 1 の導電層の上方に設けられ、
 前記サイドウォールスペースは、前記ゲート電極の側壁に形成され、
 前記サイドウォールスペースの側方において、絶縁層が設けられ、
 前記第 1 の導電層と前記第 2 の導電層との間、および前記第 2 の導電層と前記サイドウォールスペースとの間において、バリヤ層が設けられている。

【 0 0 2 5 】

(B) 本発明の第 2 の半導体装置は、電界効果型トランジスタを含み、
 前記電界効果型トランジスタは、ゲート絶縁層と、ゲート電極と、サイドウォールスペースと、ソース領域と、ドレイン領域とを有し、
 前記ゲート電極は、第 1 の導電層と、第 2 の導電層とを含み、
 前記第 1 の導電層は、前記ゲート絶縁層の上に設けられ、
 前記第 2 の導電層は、前記第 1 の導電層の上方に設けられ、
 前記サイドウォールスペースは、前記ゲート電極の側壁に形成され、
 前記サイドウォールスペースの側方において、絶縁層が設けられ、
 前記絶縁層の上面と前記第 2 の導電層の上面とは、実質的にほぼ同一のレベルにある。

【 0 0 2 6 】

ここで、「実質的にほぼ同一のレベル」とは、ゲート絶縁層の上面を基準として、ほぼ同じ高さにあることをいう。

【 0 0 2 7 】

本発明の第 1 および第 2 の半導体装置において、前記第 1 の導電層は、ポリシリコン層からなることができる。

【 0 0 2 8 】

本発明の第 1 および第 2 の半導体装置において、前記第 2 の導電層は、金属、

金属合金および金属化合物のいずれか一つからなることができる。

【 0 0 2 9 】

【発明の実施の形態】

以下、本発明の好適な実施の形態について図面を参照しながら説明する。

【 0 0 3 0 】

(半導体装置)

以下、実施の形態に係る半導体装置を説明する。図 1 は、実施の形態に係る半導体装置を模式的に示す断面図である。半導体装置 1 0 0 は、具体的には、次の構成を有する。

【 0 0 3 1 】

シリコン基板 1 0 の上には、ゲート絶縁層 2 0 が形成されている。ゲート絶縁層 2 0 の上には、ゲート電極 3 0 が形成されている。ゲート電極 3 0 は、ゲート絶縁層 2 0 の上に、第 1 のポリシリコン層 (第 1 の導電層) 3 2、バリヤ層 3 6 および金属層 (第 2 の導電層) 3 4 が順次積層されて構成されている。ゲート電極 3 0 の両サイドには、サイドウォールスペーサ 5 0 が形成されている。また、バリヤ層 3 6 は、サイドウォールスペーサ 5 0 と金属層 3 4 との間においても形成されている。なお、バリヤ層 3 6 は、金属層 3 4 の金属がポリシリコン層 3 2 に拡散するのを防ぐ機能を有する。

【 0 0 3 2 】

ゲート電極 3 0 の側方におけるシリコン基板 1 0 内にソース／ドレイン領域 4 0 が形成されている。ソース／ドレイン領域 4 0 は、低濃度不純物拡散層 4 2 と高濃度不純物拡散層 4 4 とを有する。低濃度不純物拡散層 4 2 は、高濃度不純物拡散層 4 4 を包むようにして形成され、いわゆる二重ドレイン構造 (double dif fused drain) を有している。但し、これに限定されず、ソース／ドレイン領域 4 0 は、LDD (lightly doped drain) 構造を有していてもよい。

【 0 0 3 3 】

ゲート電極 3 0 の側方において、サイドウォールスペーサ 5 0 を介して、第 1 の絶縁層 6 0 が形成されている。金属層 3 4 の上面と第 1 の絶縁層 6 0 の上面とは、ゲート絶縁層 2 0 の上面を基準にして、実質的にほぼ同一のレベル (高さ)

にある。第 1 の絶縁層 6 0 の上には、第 2 の絶縁層 6 2 が形成されている。

【 0 0 3 4 】

(半導体装置の製造方法)

以下、実施の形態に係る半導体装置の製造方法について説明する。図 2 ～図 6 は、実施の形態に係る半導体装置の製造工程を模式的に示す断面図である。

【 0 0 3 5 】

まず、図 2 (a) に示すように、シリコン基板 1 0 の上に、公知の方法により、ゲート絶縁層 2 0 を形成する。

【 0 0 3 6 】

次に、ゲート絶縁層 2 0 の上に、第 1 の導電層として第 1 のポリシリコン層 3 2 を形成する。第 1 のポリシリコン層 3 2 は、たとえば C V D 法により形成することができる。第 1 のポリシリコン層 3 2 の厚さは、たとえば 5 0 ～ 5 0 0 n m である。

【 0 0 3 7 】

次に、第 1 のポリシリコン層 3 2 の上に、上部層 9 0 を形成する。上部層 9 0 は、窒化シリコン層 9 2 と第 2 のポリシリコン層 9 4 との積層構造を有する。上部層 9 0 は、たとえば次のようにして形成される。

【 0 0 3 8 】

第 1 のポリシリコン層 3 2 の上に、窒化シリコン層 9 2 を形成する。窒化シリコン層 9 2 は、たとえば C V D 法により形成することができる。窒化シリコン層 9 2 の厚さは、第 2 のポリシリコン層 9 4 の厚さなどを考慮して規定され、たとえば 1 0 ～ 5 0 n m である。

【 0 0 3 9 】

次に、窒化シリコン層 9 2 の上に、第 2 のポリシリコン層 9 4 を形成する。第 2 のポリシリコン層 9 4 の厚さは、窒化シリコン層 9 2 の厚さなどを考慮して規定され、たとえば 5 0 ～ 5 0 0 n m である。なお、上部層 9 0 の厚さ (窒化シリコン層 9 2 および第 2 のポリシリコン層 9 4 の厚さの総和) は、所望とする第 2 の導電層 3 4 の厚さを考慮して規定される。

【 0 0 4 0 】

次に、図 2 (b) に示すように、リソグラフィおよびエッチングにより、第 2 のポリシリコン層 9 4、窒化シリコン層 9 2、第 1 のポリシリコン層 3 2 をパターンニングする。こうして、積層体 7 0 を形成する。

【 0 0 4 1 】

次に、シリコン基板 1 0 の上に、所定のパターンを有するレジスト層（図示せず）を形成する。次に、レジスト層をマスクとして、シリコン基板 1 0 内に、不純物をイオン注入して、低濃度不純物拡散層 4 2 を形成する。この後、酸性の薬品により、レジスト層を除去する。

【 0 0 4 2 】

次に、図 3 (a) に示すように、公知の方法により、積層体 7 0 の両サイドにおいて、サイドウォールスペーサ 5 0 を形成する。サイドウォールスペーサの材質は、たとえば酸化シリコン、窒化シリコンを挙げることができる。次に、シリコン基板 1 0 の上に、所定のパターンを有するレジスト層（図示せず）を形成する。次に、レジスト層をマスクとして、シリコン基板 1 0 内に不純物をイオン注入して、高濃度不純物拡散層 4 4 を形成する。この後、酸性の薬品によりレジスト層を除去する。こうして、ソース／ドレイン領域 4 0 が形成される。

【 0 0 4 3 】

次に、図 3 (b) に示すように、シリコン基板 1 0 の上に、積層体 7 0 およびサイドウォールスペーサ 5 0 を覆うように絶縁層 6 0 a を形成する。絶縁層 6 0 a は、たとえば C V D 法により形成することができる。絶縁層 6 0 a の材質としては、酸化シリコンを挙げることができる。絶縁層 6 0 a の厚さは、積層体 7 0 の厚さを考慮して規定され、たとえば 1 5 0 ~ 1 5 0 0 n m である。

【 0 0 4 4 】

次に、図 4 (a) に示すように、絶縁層 6 0 a を平坦化する。こうして、第 1 の絶縁層 6 0 が形成される。絶縁層 6 0 a の平坦化は、積層体 7 0 の上面が露出するまで行われる。絶縁層 6 0 a の平坦化は、たとえば化学的機械的研磨法により行うことができる。

【 0 0 4 5 】

次に、図 4 (b) に示すように、窒化シリコン層 9 2 に対して第 2 のポリシリ

コン層94を選択的にエッチングする。つまり、このエッチングにおいて、窒化シリコン層92は、エッチングストッパとして機能させる。これにより、第2のポリシリコン層94のエッチングにおいて、第1のポリシリコン層32がエッチングされない。このエッチングにおいて、窒化シリコン層92のエッチングレートに対する第2のポリシリコン層のエッチングレートの比（第2のポリシリコン層のエッチングレート／窒化シリコン層のエッチングレート）は、好ましくは2以上、より好ましくは5以上である。

【0046】

次に、図5（a）に示すように、第1のポリシリコン層32に対して窒化シリコン層92を選択的にエッチングする。こうして、第1のポリシリコン層32の上において、凹部80が形成される。このエッチングにおいて、第1のポリシリコン層32のエッチングレートに対する窒化シリコン層92のエッチングレートの比（窒化シリコン層のエッチングレート／第1のポリシリコン層のエッチングレート）は、好ましくは2以上、より好ましくは5以上である。

【0047】

次に、図5（b）に示すように、全面にバリヤ層36を形成する。全面にバリヤ層36を形成することにより、第1のポリシリコン層32の上面がバリヤ層36によって覆われる。バリヤ層36の材質としては、たとえば窒化チタン、チタングステン、窒化チタングステン、窒化タンタルを挙げることができる。バリヤ層36の形成方法は、たとえばCVD法を挙げることができる。

【0048】

次に、全面に金属層34を堆積し、凹部80を充填する。金属層32の材質としては、たとえばタングステン、アルミニウム、銅、アルミニウムと銅との合金、シリコンと金属との化合物を挙げることができる。シリコンと金属との化合物としては、たとえばチタンシリサイド、タングステンシリサイド、モリブデンシリサイドを挙げることができる。金属層34は、たとえばCVD法により形成することができる。

【0049】

次に、図6に示すように、凹部80内にのみに金属層34が残るように、金属

層 3 4 を平坦化する。こうして、ゲート電極 3 0 が形成される。金属層 3 4 の平坦化は、たとえば化学的機械的研磨法により行うことができる。この平坦化において、第 1 の絶縁層 6 0 の上のバリヤ層 3 6 も除去される。

【 0 0 5 0 】

次に、図 1 に示すように、第 1 の絶縁層 6 0 および金属層 3 4 の上に、公知の方法により、第 2 の絶縁層 7 0 が形成される。こうして、半導体装置 1 0 0 が形成される。

【 0 0 5 1 】

以下、本実施の形態における作用効果を説明する。

【 0 0 5 2 】

(1) 凹部 8 0 は、第 2 のポリシリコン層 9 4 および窒化シリコン層 9 2 をエッチングすることにより形成される。窒化シリコン層 9 2 をエッチングする際、窒化シリコン層 9 2 は、第 1 のポリシリコン層 3 2 に対して選択的にエッチングされる。このため、窒化シリコン層 9 2 のエッチングにおいて、第 1 のポリシリコン層 3 2 はエッチングされ難い分、第 1 のポリシリコン層 3 2 の膜厚においてばらつきが生じるのを抑えることができる。また、第 1 のポリシリコン層 3 2 の厚さのばらつきが抑えられたということは、凹部 8 0 の深さのばらつきが抑えられたということを意味する。凹部 8 0 の深さのばらつきが抑えられたことにより、第 2 の導電層 3 4 の厚さのばらつきを抑えることができる。その結果、本実施の形態によれば、第 1 のポリシリコン層 3 2 および金属層 3 4 を、厚さに関して精度よく形成することができる。

【 0 0 5 3 】

(2) 本実施の形態の製造方法は、ゲート電極の幅が場所によって異なる半導体装置の製造において特に有用である。

【 0 0 5 4 】

(3) 窒化シリコン層 9 2 の上に、第 2 のポリシリコン層 9 4 が形成されていることにより、その分だけ窒化シリコン層 9 2 の厚さを薄くすることができる。窒化シリコン層 9 2 の厚さを薄くできることにより、窒化シリコン層 9 2 のエッチング時間を短縮することができる。このため、第 1 のポリシリコン層 3 2 に、

窒化シリコン層 92 のエッチングによる悪影響が及ぼされるのを抑えることができる。

【0055】

(4) 本実施の形態においては、第2のポリシリコン層 94 および窒化シリコン層 92 をエッチングして、凹部 80 を形成する工程が含まれている。しかし、第1のポリシリコン層 32 は除去されない。その結果、凹部 80 を形成しても、ゲート絶縁層 20 が露出することはない。したがって、ゲート絶縁層 20 がダメージを受けるのを防ぐことができる。

【0056】

(5) 本実施の形態においては、ゲート電極 30 においてゲート絶縁層 20 と接するように第1のポリシリコン層 32 が形成されている。その結果、ゲート電極 30 がポリシリコンからなる場合の種々のプロセス技術を適用することができる。なお、第1のポリシリコン層 32 をすべて除去して、ゲート電極を金属層のみから構成させた場合には、ゲート電極がシリコンからなる場合に比べて、ゲート電極とシリコン基板との仕事関数差が大きくなる。その結果、ゲート電極を金属層のみから構成させた場合には、ゲート電極がポリシリコンからなる場合の種々のプロセス技術を適用し難い。

【0057】

(6) たとえば次のようにして、ゲート電極がポリシリコン層と金属層との積層構造を有する、MOSトランジスタを形成することが考えられる。

【0058】

まず、図7に示すように、シリコン基板 10 の上に、ゲート絶縁層 120、ポリシリコン層 132 および金属層 134 を順次堆積する。次に、金属層 134 の上に、レジスト層 R1 を形成する。次に、レジスト層 R1 をマスクとして、金属層 134 およびポリシリコン層 132 をエッチングし、ゲート電極 130 を形成する。次に、レジスト層 R1 を除去する。

【0059】

次に、図8に示すように、シリコン基板 10 の上に、所定のパターンを有するレジスト層 R2 を形成する。次に、レジスト層 R2 をマスクとして、シリコン基

板10内に不純物をイオン注入して、低濃度不純物拡散層142を形成する。次に、レジスト層R2を除去する。

【0060】

次に、図9に示すように、ゲート電極130の側壁に、サイドウォールスペーサ150を形成する。次に、シリコン基板10の上に、所定のパターンを有するレジスト層（図示せず）を形成する。次に、レジスト層をマスクとして、シリコン基板内に不純物をイオン注入して、高濃度不純物拡散層144を形成する。次に、レジスト層を除去する。こうして、MOSトランジスタ200が形成される。

【0061】

ところで、上記のレジスト層（ゲート電極を形成するためのレジスト層R1、不純物拡散層を形成するためのレジスト層R2）の除去は、酸性の薬品（たとえば硫酸）によりなされることが好ましい。しかし、レジスト層の除去に酸性の薬品を適用した場合には、金属層134が酸性の薬品に晒されるために、金属層134が腐食される。金属層134が腐食されると、半導体装置の電気的特性が劣化する。このため、ゲート電極130に金属層134を含む場合には、酸性の薬品を使用することは難しい。一方、酸性の薬品以外の薬品を使用することが考えられるが、そのような薬品ではレジスト層を確実に除去することが難しい。

【0062】

しかし、本実施の形態においては、金属層34は、ソース／ドレイン領域40を形成した後に形成されている。その結果、ソース／ドレイン領域40を形成するために設けられたレジスト層を除去する際、酸性の薬品（たとえば硫酸）を使用することができる。

【0063】

本発明は、上記の実施の形態に限定されず、本発明の要旨を超えない範囲で種々の変更が可能である。

【0064】

（変形例）

上記の実施の形態は、たとえば次のような変形が可能である。

【0065】

(1) 上記の実施の形態においては、第1の導電層は、ポリシリコン層32のみから構成した。しかし、第1の導電層は、上部層の下部のエッチングにおいて、第1の導電層の上部が上部層の下部に比べてエッチングされ難い構成（たとえば材質、エッチャント）であれば特に限定されない。具体的には、第1の導電層は、上部層の下部におけるエッチングにおいて、第1の導電層の上部のエッチングレートに対する上部層の下部のエッチングレートの比が好ましくは2以上、より好ましくは5以上となるような構成であれば、特に限定されない。

【0066】

(2) 上記の実施の形態は、上部層90は、窒化シリコン層92と第2のポリシリコン層94とからなった。しかし、上部層90は、これに限定されず、たとえば、窒化シリコン層のみから構成されてもよい。つまり、上部層は、上部層の下部のエッチングにおいて、第1の導電層の上部よりエッチングされ易い構成（たとえば材質、エッチャント）であれば特に限定されない。

【0067】

(3) 上記の実施の形態においては、バリヤ層36は、凹部80を形成した後形成した。しかし、これに限定されず、積層体70を形成する段階で、バリヤ層を形成してもよい。つまり、バリヤ層を第1の導電層の最上層として構成させてもよい。

【0068】

本発明は、上記の実施の形態に限定されず、本発明の要旨を超えない範囲で種々の変更が可能である。

【図面の簡単な説明】

【図1】

実施の形態に係る半導体装置を模式的に示す断面図である。

【図2】

実施の形態に係る半導体装置の製造工程を模式的に示す断面図である。

【図3】

実施の形態に係る半導体装置の製造工程を模式的に示す断面図である。

【図 4】

実施の形態に係る半導体装置の製造工程を模式的に示す断面図である。

【図 5】

実施の形態に係る半導体装置の製造工程を模式的に示す断面図である。

【図 6】

実施の形態に係る半導体装置の製造工程を模式的に示す断面図である。

【図 7】

作用効果における比較例に係る半導体装置の製造工程を模式的に示す断面図である。

【図 8】

作用効果における比較例に係る半導体装置の製造工程を模式的に示す断面図である。

【図 9】

作用効果における比較例に係る半導体装置の製造工程を模式的に示す断面図である。

【図 1 0】

従来例に係る半導体装置の製造工程を模式的に示す断面図である。

【図 1 1】

従来例に係る半導体装置の製造工程を模式的に示す断面図である。

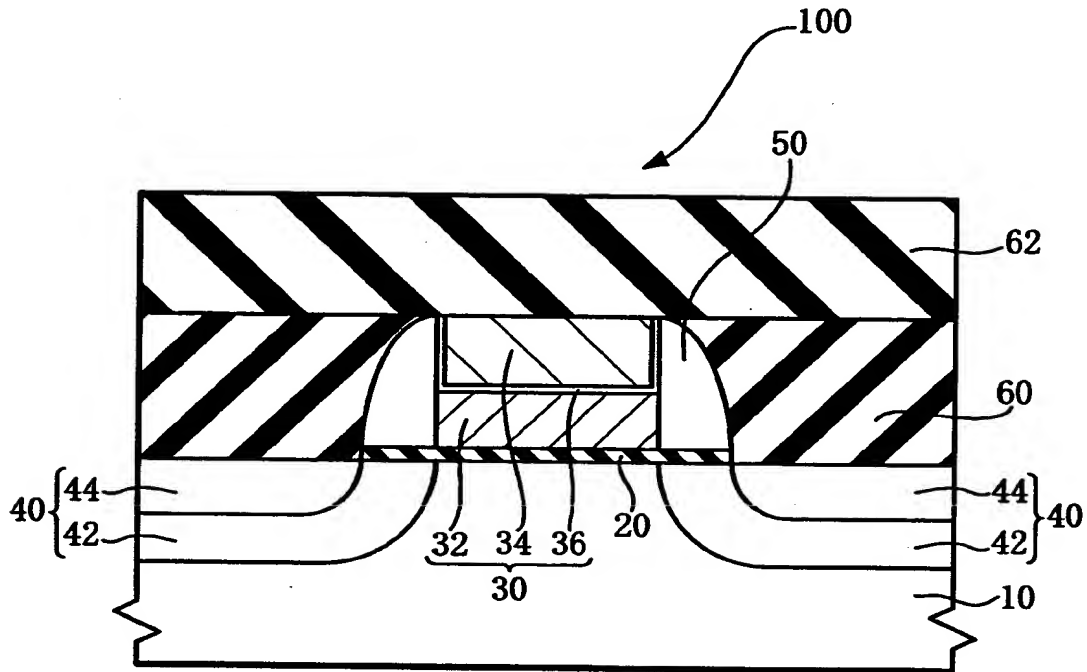
【符号の説明】

- 1 0 シリコン基板
- 2 0 ゲート絶縁層
- 3 0 ゲート電極
- 3 2 第 1 のポリシリコン層
- 3 4 金属層
- 3 6 バリヤ層
- 4 0 ソース／ドレイン領域
- 4 2 低濃度不純物拡散層
- 4 4 高濃度不純物拡散層

- 5 0 サイドウォールスペーサ
- 6 0 第 1 の絶縁層
- 6 2 第 2 の絶縁層
- 7 0 積層体
- 8 0 凹部
- 9 0 上部層
- 9 2 窒化シリコン層
- 9 4 第 2 のポリシリコン層
- 1 0 0 半導体装置

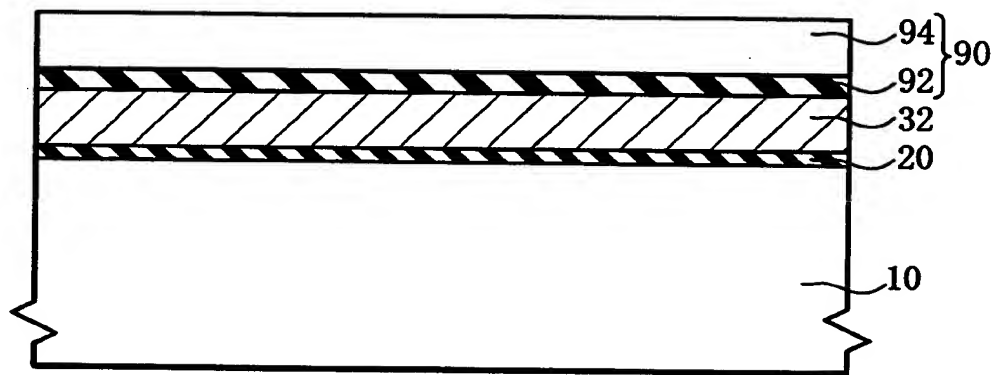
【書類名】 図面

【図 1】

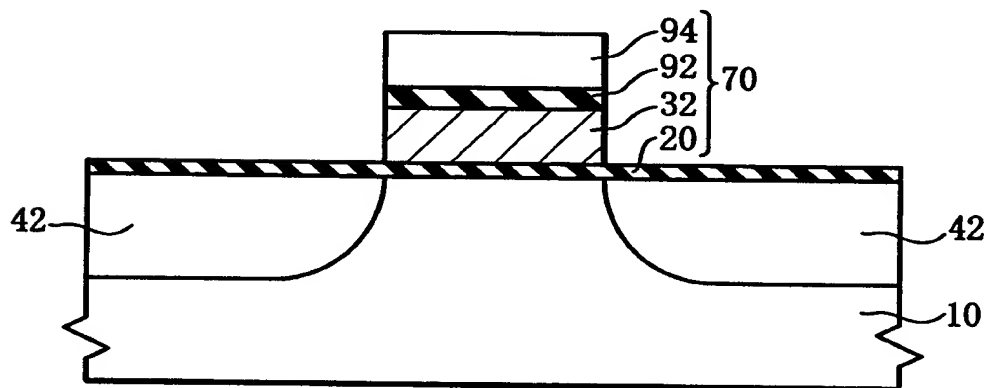


【図2】

(a)

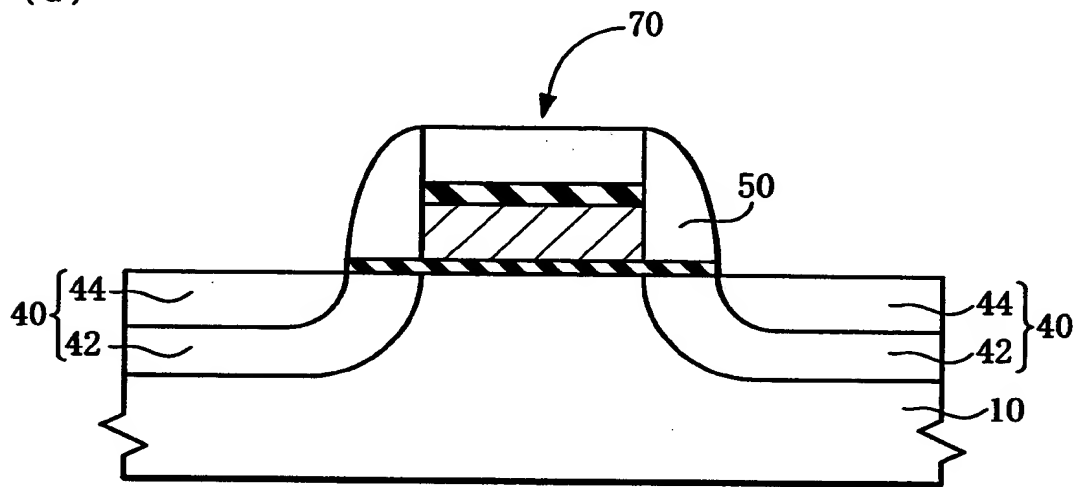


(b)

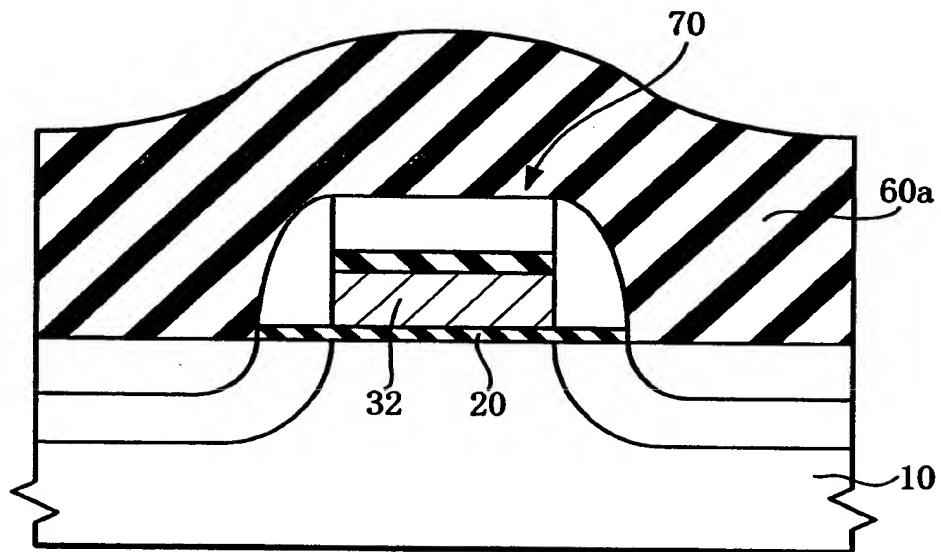


【図3】

(a)

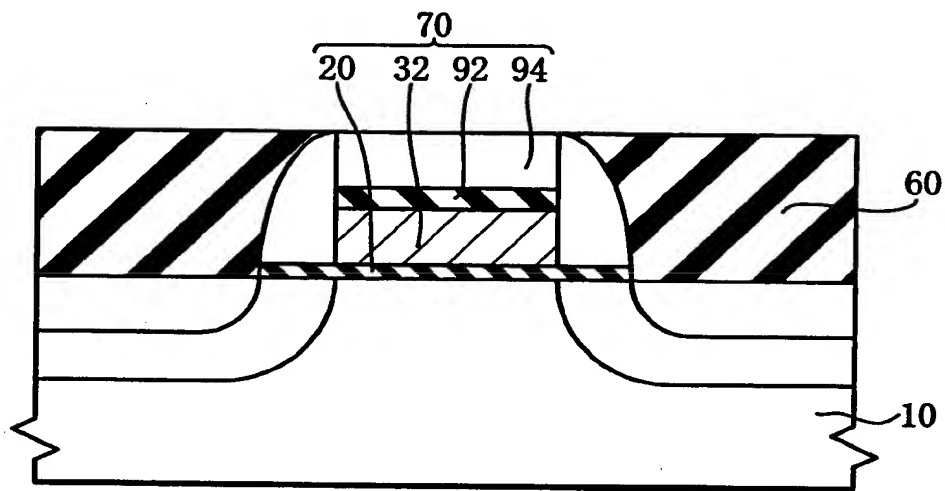


(b)

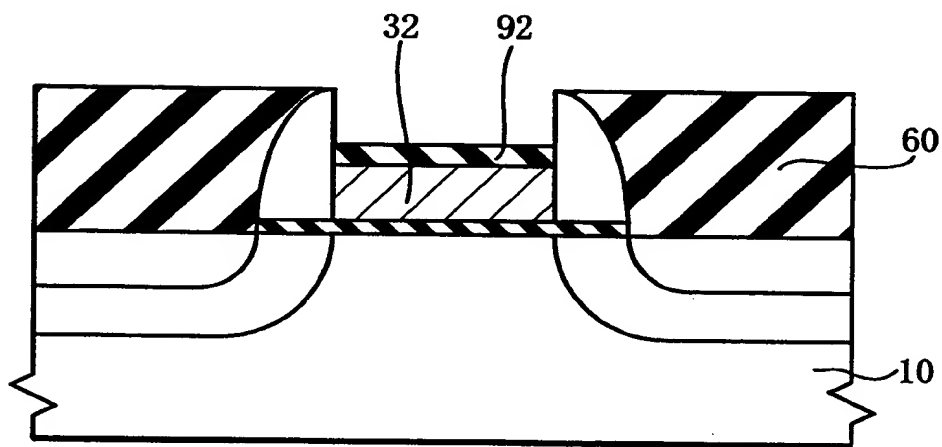


【図4】

(a)

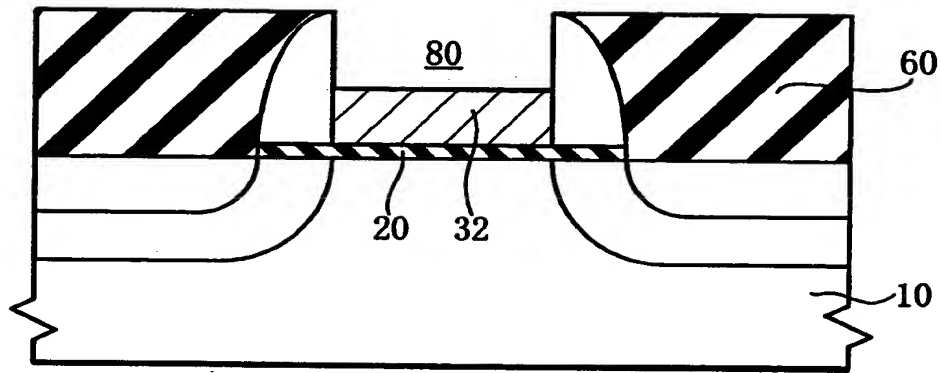


(b)

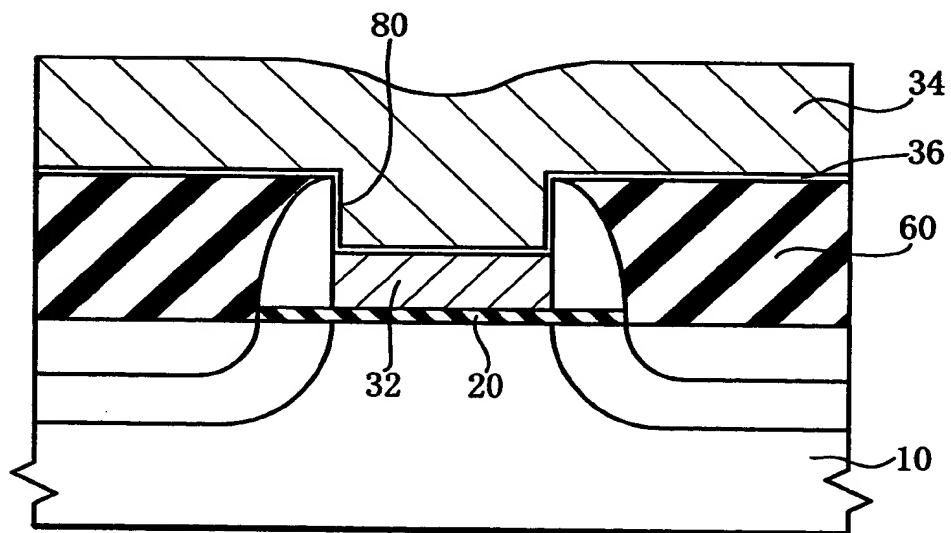


【図5】

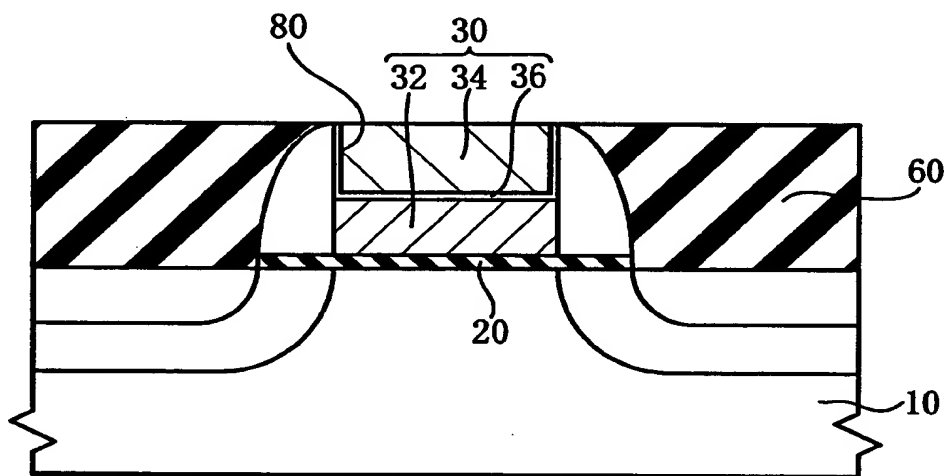
(a)



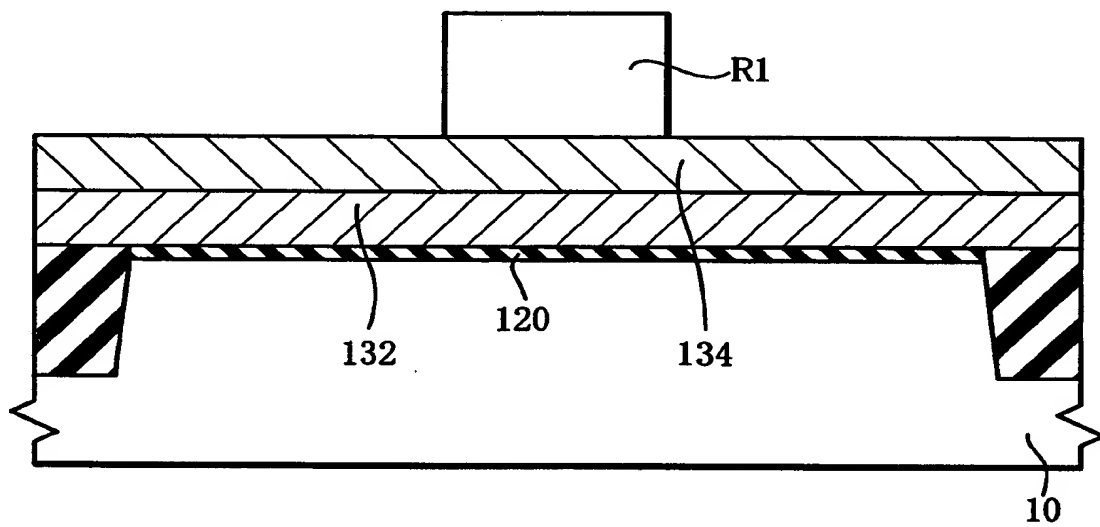
(b)



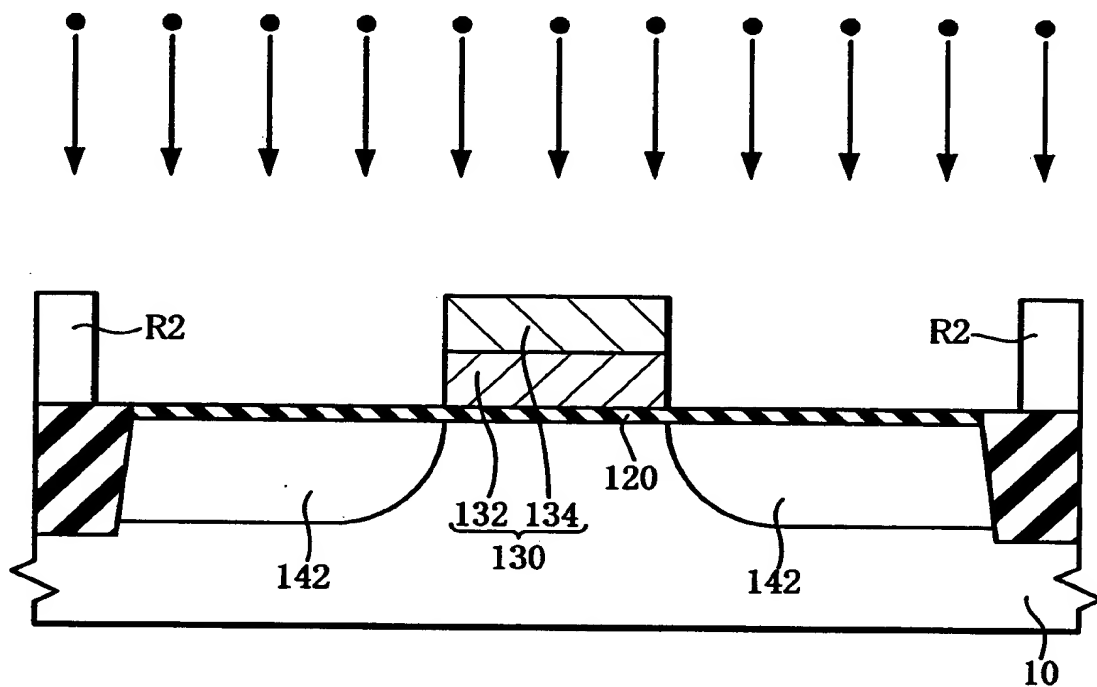
【図 6】



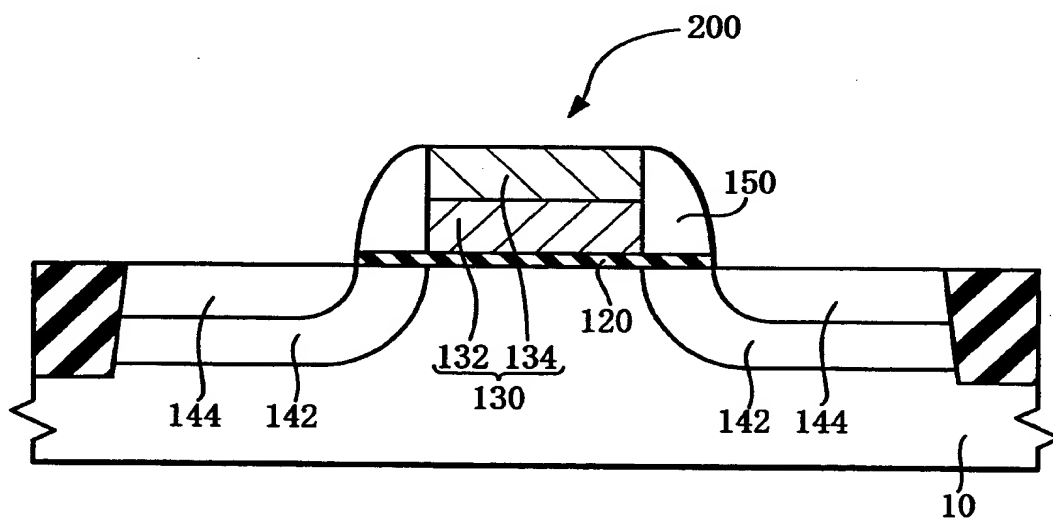
【図 7】



【図 8】

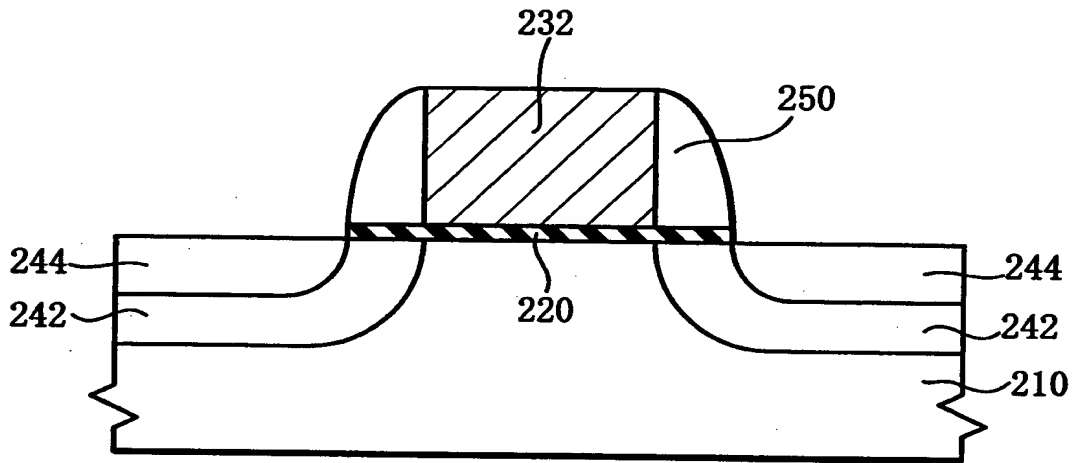


【図 9】

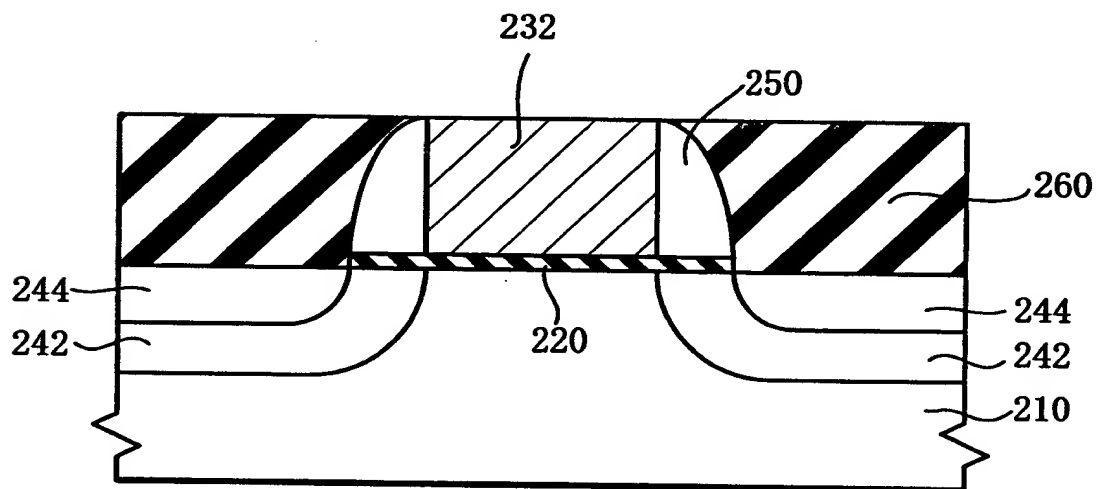


【図10】

(a)

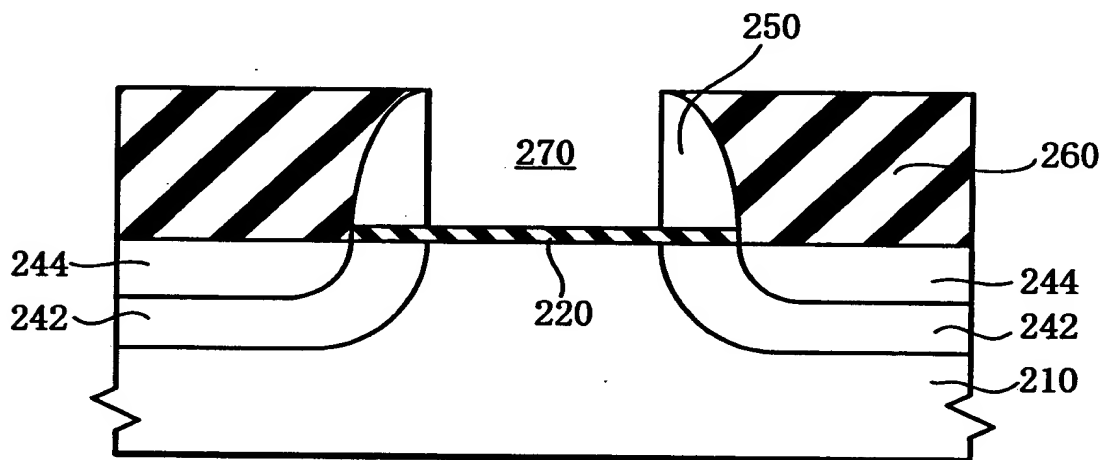


(b)

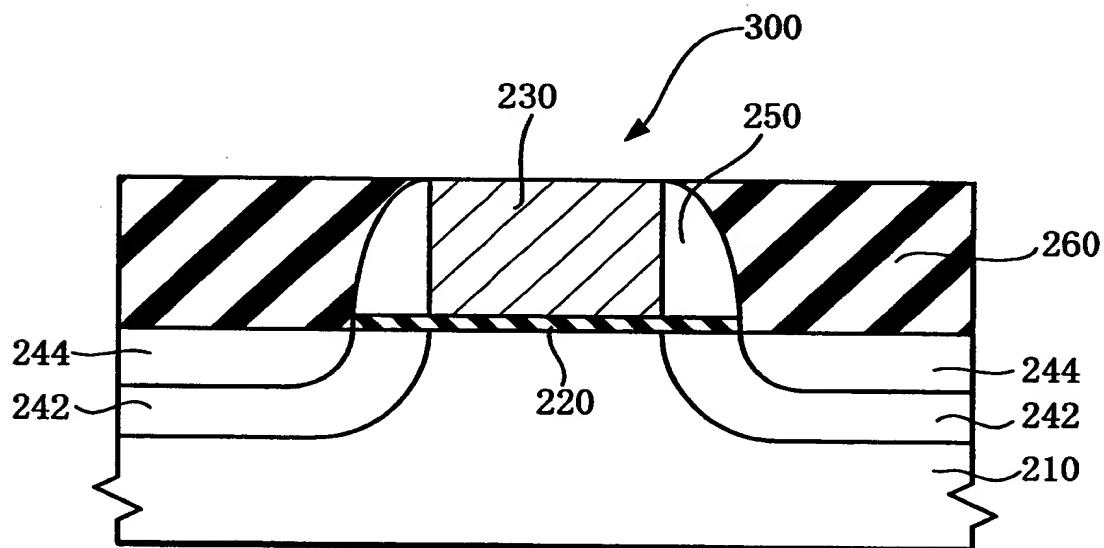


【図 11】

(a)



(b)



【書類名】 要約書

【要約】

【課題】 電气的特性の劣化が抑えられた、半導体装置およびその製造方法を提供する。

【解決手段】 半導体装置の製造方法は、ゲート絶縁層 2 0 の上に、第 1 のポリシリコン層 3 2 を形成する工程、第 1 のポリシリコン層 3 2 の上に、窒化シリコン層 9 2 を形成する工程、窒化シリコン層 9 2 の上に第 2 のポリシリコン層 9 4 を形成する工程、サイドウォールスペーサを形成する工程、第 2 のポリシリコン層 9 4 を覆う絶縁層 6 0 を形成する工程、第 2 のポリシリコン層 9 4 の上面が露出するまで、絶縁層 6 0 を平坦化する工程、第 2 のポリシリコン層 9 4 を除去する工程、窒化シリコン層 9 2 を除去して、凹部 8 0 を形成する工程、および凹部 8 0 内に、金属層 3 4 を充填し、少なくとも第 1 のポリシリコン層 3 2 と金属層 3 4 とを含むゲート電極 3 0 を形成する工程。

【選択図】 図 4

出 願 人 履 歴 情 報

識別番号

[000002369]

1. 変更年月日 1990年 8月20日

[変更理由] 新規登録

住 所 東京都新宿区西新宿2丁目4番1号

氏 名 セイコーエプソン株式会社